

# APPLICATION UNDER UNITED STATES PATENT LAWS

Atty. Dkt. No. PW 281355  
(M#)

Invention: SEMICONDUCTOR DEVICE FORMED ON (111) SURFACE OF A Si CRYSTAL AND  
FABRICATION PROCESSTHEREOF

Inventor (s): Tadahiro OHMI  
Shigetoshi SUGAWA  
Katsuyuki SEKINE  
Yuji SAITO

Pillsbury Winthrop LLP  
Intellectual Property Group  
1100 New York Avenue, NW  
Ninth Floor  
Washington, DC 20005-3918  
Attorneys  
Telephone: (202) 861-3000

This is a:

- ☐ Provisional Application
- ☒ Regular Utility Application
- ☐ Continuing Application
  - ☐ The contents of the parent are incorporated by reference
- ☐ PCT National Phase Application
- ☐ Design Application
- ☐ Reissue Application
- ☐ Plant Application
- ☐ Substitute Specification
  - Sub. Spec Filed \_\_\_\_\_
  - in App. No. \_\_\_\_\_ / \_\_\_\_\_
- ☐ Marked up Specification re \_\_\_\_\_
  - Sub. Spec. filed \_\_\_\_\_
  - In App. No. \_\_\_\_\_ / \_\_\_\_\_

## SPECIFICATION

## 発明の名称

S i 結晶の ( 1 1 1 ) 面上に形成された半導体装置およびその製造方法

## 関連出願の参照

- 5      本発明は 1 9 9 9 年 1 1 月 3 0 日に出願された日本国特許出願 1 1 - 3 7 6 1 7 0 号に基づくものであり、その全内容を参照し、取り入れるものである。

## 発明の背景

- 10      本発明は一般に半導体装置に係り、特に S i 結晶の ( 1 1 1 ) 面上に形成される半導体装置およびその製造方法に係る。

- 15      M I S ( 金属 / 絶縁膜 / S i ) トランジスタのゲート絶縁膜には低いリーク電流、小さい界面準位密度、大きなホットキャリア耐性など、厳しい電気特性に関する要求が課せられる。またかかるゲート絶縁膜には高い信頼性が要求される。これらの要求を満たすため、従来よりゲート絶縁膜は、S i 基板表面を  
20      8 0 0 ° C 以上で熱酸化することにより形成されている。

- 20      しかしながら、熱酸化技術を使用して所望の酸化膜 / S 基板界面特性や耐圧特性、さらにリーク電流特性を満足する酸化膜が得られるのは、S i 基板の表面が ( 1 0 0 ) 面方位に配向している場合に限られる。( 1 0 0 ) 面以外の他の面方位に配向した S i 基板に対して熱酸化技術を適用してゲート酸化膜を形成した場合、( 1 0 0 ) 面方位に配向した S i 基板上に形成した S i 酸化膜に比べて、酸化膜 / S i 基板界面の界面準位密度が増大してしまい、また酸化膜の耐圧特性やリーク電流特性が劣るなど、電氣的特性が劣化してしまう問題が生じる。

- 25      また、M I S トンジスタの移動度に関しても ( 1 0 0 ) 面方位を有する S i 基板上に形成した場合には大きな移動度が得られるものの、他の面方位を有する S i 基板上に形成した場合には、高い駆動力のある M I S トランジスタを作成ことができない。

ところで、1 0 G H z 程度のクロック速度で動作する高速半導体装置を実現しようとする、信号を減衰させることなく伝播させ、あるいはクロストーク

を抑制するために、半導体基体中に金属材料を導入する必要がある。しかし、半導体装置の製造工程で550℃以上の高温プロセスを用いると金属層と半導体層とが反応を生じてしまい、素子の動作性能が劣化してしまうという問題が生じる。また、一般的に高温での熱処理を行った場合、半導体層中の活性領域に注入された不純物元素が拡散してしまい、正確な不純物分布の形成が難しくなる。このため、微細な高速半導体装置の製造においては、800℃以上での熱酸化处理を回避する必要がある。

ところで半導体装置の駆動能力を向上させるには、Si原子の面密度が高いSi結晶の(111)面上に半導体装置を形成することが望ましく、またSi酸化膜よりも誘電率が高く非常に薄いゲート絶縁膜を用いることが要求される。しかし従来より、界面準位が低くしかも電気特性の優れた高品質の高誘電率絶縁膜をSi結晶の(111)面上に、低温で形成する方法は知られていない。

また最近の高集積密度半導体集積回路装置においては、Si基板上にシャロートレンチアイソレーション(STI)素子分離構造を形成することが一般的に行われているが、かかるSTI構造を有する半導体集積回路装置においては、熱酸化技術によりSi酸化膜を形成した場合、素子分離溝の角部近傍においてSi酸化膜の膜厚が平坦なSi基板表面上に形成した場合よりも減少し、また膜質が劣化してしまう問題が生じる。すなわちSTI構造を有する半導体集積回路装置では、STI構造の角部においてリーク電流や耐圧特性などが劣化し、半導体集積回路装置の信頼性に問題が生じていた。これは、(100)面を有する通常のSi基板を使用した場合、素子分離溝角部に(111)面が出現することがその原因と考えられる。

上記問題を回避するため、従来はSTI構造を構成する素子分離溝側壁面の角度をSi表面表面に対して約70度以下に設定していた。すなわち従来は、STI構造の素子分離溝にテーパを形成することにより、素子分離溝角部におけるSi酸化膜の膜厚減少の薄膜化を軽減していた。しかしながら、このような対策を講じた場合においても約30%以上の膜厚の減少が生じてしまい、かかる薄膜化領域における酸化膜のリーク電流の増大や耐圧特性の劣化などの問題を完全には防止できていなかった。また、このようになだらかなテーパ角を

持った素子分離溝を形成した場合、素子分離溝の幅が広がってしまい、トランジスタなどの素子を形成する有効な領域の面積が減少し、高密度集積化が図れないという問題が生じていた。

- さらに、絶縁膜上に形成されたポリシリコン膜中ではS i 結晶は主として< 1 1 1 > 方向に配向する傾向があるが、従来の熱酸化法ではこうした< 1 1 1 > 方向に優先配向したポリシリコン膜上に良質なシリコンゲート酸化膜を形成することは困難であった。このため、絶縁膜上に形成されたポリシリコン膜などのS i 層上にはゲート長の小さい高速半導体装置を形成することが困難で、またかかる半導体装置を担持する絶縁膜を複数層重ね合わせて3次元集積回路素子装置を実現することも困難であった。

#### 発明の概要

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

- 15 本発明の他のより具体的な課題は、550℃以下の低温においてS i 結晶の(1 1 1) 面上に高品質絶縁膜を形成できる絶縁膜形成技術、およびかかる絶縁膜形成技術を使った、S i 結晶の(1 1 1) 面上への半導体装置の製造方法、さらにかかる製造方法により製造された半導体装置を提供することにある。

- 20 本発明のその他の課題は、(1 1 1) 面を有するS i 結晶と、前記S i 結晶の(1 1 1) 面上に形成された絶縁膜とよりなる半導体装置であって、前記絶縁膜の少なくとも一部がK r を含有するS i 酸化膜よりなる半導体装置を提供することにある。

- 25 本発明のその他の課題は、(1 1 1) 面を有するS i 結晶と、前記S i 結晶の(1 1 1) 面上に形成された絶縁膜とよりなる半導体装置であって、前記絶縁膜の少なくとも一部が、A r またはK r を含有するシリコン窒化膜よりなる半導体装置を提供することにある。

本発明のその他の課題は、少なくとも1層の金属層と、前記金属層の上方に絶縁膜を介して設けられ(1 1 1 面)を主面とするS i 層と、前記S i 層上に形成された複数のトランジスタをとよりなる半導体集積回路装置において、前

記シリコン層の表面に形成された絶縁膜の少なくとも一部がK rを含有するS i酸化膜よりなる半導体集積回路装置を提供することにある。

- 5 本発明のその他の課題は、少なくとも1層の金属層と、前記金属層の上方に絶縁膜を介して設けられ(1 1 1面)を主面とするS i層と、前記S i層上に形成された複数のトランジスタをとよりなる半導体集積回路装置において、前記シリコン層の表面に形成された絶縁膜の少なくとも一部がA rまたはK rを含有するシリコン窒化膜よりなる特徴とする半導体集積回路装置を提供することにある。

- 10 本発明によれば、マイクロ波励起されたK rプラズマ中においてO<sub>2</sub>を活性化することにより、活性な原子状酸素O\*が効率的に形成され、かかる原子状酸素O\*を作用させることにより、S i結晶の(1 1 1)面上に5 5 0℃以下の低温において、1 0 0 0℃程度で成膜したシリコン熱酸化膜よりも優れた膜質を有するS i酸化膜を形成することが可能となる。かかるS i酸化膜をゲート絶縁膜として使うことにより、前記S i結晶の(1 1 1)面上に高性能な半導体装置あるいは半導体集積回路装置を形成できる。前記S i結晶の(1 1 1)面はS i単結晶基板主面を画成するものであっても、またその一部に形成されたものでもよい。さらに前記S i結晶の(1 1 1)面はポリシリコン膜の表面に出現した面であってもよい。
- 15

- 20 また本発明によれば、マイクロ波励起されたA rあるいはK rプラズマ中においてNH<sub>3</sub>あるいはN<sub>2</sub>とH<sub>2</sub>との混合ガスを活性化することにより、活性な窒化水素ラジカルNH\*が効率的に形成され、かかる窒化水素ラジカル\*を作用させることにより、S i結晶の(1 1 1)面上に5 5 0℃以下の低温において、1 0 0 0℃程度で成膜したシリコン熱酸化膜よりも優れた膜質を有するシリコン窒化膜を形成することが可能となる。かかるシリコン窒化膜は高誘電率ゲート絶縁膜として使うことが可能であり、前記S i結晶の(1 1 1)面上に高性能な半導体装置あるいは半導体集積回路装置を形成できる。前記S i結晶の(1 1 1)面はS i単結晶基板主面を画成するものであっても、またその一部に形成されたものでもよい。さらに前記S i結晶の(1 1 1)面はポリシリコン膜の表面に出現した面であってもよい。
- 25

また本発明によれば、S T I 構造の素子分離溝角部に形成される (1 1 1) 面上にも高品質な S i 酸化膜あるいはシリコン窒化膜を形成することが可能となり、その結果素子分離溝の幅を広げることなく S T I 構造のリーク電流を減少させ、また耐圧特性を向上させることが可能になる。その結果、かかる S T I 構造を有する半導体集積回路の電気的特性および信頼性が向上する。

本発明はさらに強誘電体メモリ装置や、フラッシュメモリ装置など、ゲート絶縁膜に対して高い膜質と安定性、および高信頼性が要求される半導体装置に対しても適用可能である。

さらに本発明は絶縁膜上に形成されたポリシリコン膜など、 $\langle 111 \rangle$  方向に優先配向した S i 結晶粒より構成される S i 膜上に高品質なゲート酸化膜やゲート窒化膜を形成することを可能とし、その結果、高い駆動能力を有するポリシリコントランジスタや薄膜トランジスタ、さらには機能素子を複数積層した 3 次元集積回路素子が実現可能となる。

## 15 図面の簡単な説明

図 1 は、ラジアルラインスロットアンテナを用いたプラズマ処理装置の概念図；

図 2 は、図 1 のプラズマ処理装置により形成される酸化膜の膜厚と処理室ガス圧力との関係を示す図；

20 図 3 は、図 1 のプラズマ処理装置により形成される酸化膜の厚と酸化時間との関係を示す図；

図 4 は、図 1 のプラズマ処理装置により形成される S i 酸化膜中における K r 濃度の深さ方向分布を示す図；

図 5 は、図 1 のプラズマ処理装置により形成される S i 酸化膜中における界面準位密度を示す図；

図 6 は、図 1 のプラズマ処理装置中において S i 酸化膜形成時に使われる雰囲気中の酸素分圧と、形成された S i 酸化膜中の界面準位密度および絶縁耐圧との関係を示す図；

図 7 は、図 1 のプラズマ処理装置中において S i 酸化膜形成時に使われる処

理室内雰囲気的全圧と、形成されたSi酸化膜中の界面準位密度および絶縁耐圧との関係を示す図；

図8は、図1のプラズマ処理装置中において窒化膜形成時に使われる処理室内雰囲気的全圧と形成される窒化膜の膜厚との関係を示す図；

- 5 図9は、図1の基板処理装置を使って形成されたシリコン窒化膜の電流電圧特性を示す図；

図10A～10Dは本発明の第1実施例によるMOSトランジスタの構成を示す図である；

- 10 図11A～11Cは、本発明の第2実施例によるSTI構造を有する半導体集積回路装置の一部を示す断面図；

図12は、本発明の第3実施例による強誘電体メモリ装置の概略的構成を示す断面図；

図13は、本発明の第4実施例によるフラッシュメモリ素子の概略的構成を示す断面図；

- 15 図14は、金属基板上に構成されたSOI構造上に形成された、本発明の第5実施例によるMOSトランジスタの概略的構成を示す断面図；

図15は、ガラス基板やプラスチック基板などに適応されるプラズマ処理装置の概略的構成を示す断面図；

- 20 図16は、絶縁膜上に形成された本発明の第6実施例によるポリシリコントランジスタの概略的構成を示す断面図；

図17は、本発明の第7実施例による3次元半導体集積回路の概略的構成を示す断面図である。

#### 発明の好ましい実施例についての詳細な説明

- 25 [原理]

まずは、プラズマを用いた低温の酸化膜形成について述べる。

図2は、本発明の酸化方法を実現するための、ラジアルラインスロットアンテナを用いたマイクロ波プラズマ処理装置の一例を示す断面図である（WO98/33362号公報参照）。本実施例においては、酸化膜形成時のためにK

r をプラズマ励起ガスとして使用していることに新規な特徴がある。

図 2 を参照するに、前記マイクロ波プラズマ処理装置は被処理基板 103 を保持する試料台 104 を備えた真空容器（処理室）101 を有し、前記処理室 101 内を真空にし、前記処理室 101 の壁面の一部に形成したシャワープレート 102 から Kr ガスおよび O<sub>2</sub> ガスを導入することで処理室内の圧力を 1 Torr（約 133 Pa）程度に設定する。さらにシリコンウェハ等の円形状の基板を前記被処理基板 103 として加熱機構を持つ試料台 104 に置き、試料の温度を 400℃程度に設定する。この温度設定は 200-550℃の範囲であるのが好ましく、この範囲内であれば以下に述べる結果はほとんど同様のものとなる。

次に外部のマイクロ波源に接続された同軸導波管 105 から、ラジアルラインスロットアンテナ 106 および誘電体板 107 を通して、処理室 101 内に 2.45 GHz のマイクロ波を供給し、処理室 101 内に高密度のプラズマを生成する。供給するマイクロ波の周波数が 900 MHz 以上 10 GHz 以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。シャワープレート 102 と基板 103 の間隔は、本実施例では 6 cm にしてある。この間隔は狭いほうがより高速な成膜が可能となる。

本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

Kr ガスと O<sub>2</sub> ガスとが混合された高密度励起プラズマ中では、中間励起状態にある Kr\* と O<sub>2</sub> 分子とが衝突し、原子状酸素 O\* が効率よく発生する。この原子状酸素 O\* により基板表面が酸化される。従来のシリコン表面の酸化では、酸化は H<sub>2</sub>O 分子や O<sub>2</sub> 分子により行われ、処理温度も 800℃以上と極めて高いものであったが、本発明の原子状酸素による酸化は 550℃以下と非常に低い温度で可能である。

Kr\* と O<sub>2</sub> との衝突機会を大きくするには処理室圧力は高い方が望ましいが、あまり高くすると、発生した O\* 同志が衝突し、O<sub>2</sub> 分子に戻ってしまう。当然、最適ガス圧力が存在する。



図 2 に、前記処理室 101 内での Kr と酸素の圧力比を Kr 97%，酸素 3% に維持しながら処理室 101 の全圧を変えたときの、得られる酸化膜の厚さを示す。ただし図 3 の実験では、シリコン基板温度を 400°C に設定し、酸化処理を 10 分間行っている。

- 5 図 2 を参照するに、前記処理室 101 内のガス圧が 1 Torr の時に得られる酸化膜の膜厚は最大になり、この圧力ないしはその近傍の酸化条件が最適であることがわかる。しかも、この最適圧力は基板シリコンの面方位が 100 面でも 111 面でも変わらない。

- 10 図 3 は、前記 Kr/O<sub>2</sub> 高密度プラズマを用いたシリコン基板表面の酸化処理の際に得られる酸化膜の膜厚と酸化時間との関係を示す。ただし図 3 中には前記シリコン基板が (100) 面を有する場合と (111) 面を有する場合の両方の結果を示している。また図 3 では従来の 900°C のドライ熱酸化による酸化時間依存性をも示している。

- 15 図 3 を参照するに、基板温度 400°C、処理室内圧力 1 Torr での Kr/O<sub>2</sub> 高密度プラズマ酸化処理による酸化速度は、基板温度 900°C での大気圧ドライ O<sub>2</sub> 酸化の際の酸化速度よりも速いことがわかる。

- 20 図 2、3 より、Kr/O<sub>2</sub> 高密度プラズマを用いたシリコン基板表面酸化により、基板表面の酸化処理の際の生産性が大幅に向上することがわかる。従来の高温熱酸化技術では、雰囲気中の O<sub>2</sub> 分子や H<sub>2</sub>O 分子がシリコン/Si 酸化膜の界面に到達して酸化に寄与するためには、これらの O<sub>2</sub> 分子や H<sub>2</sub>O 分子が表面に形成された酸化膜を拡散によって通り抜ける必要があり、このため基板表面の酸化速度は O<sub>2</sub> や H<sub>2</sub>O 分子が酸化膜中を拡散する拡散速度により律速されていた。このため、酸化膜の膜厚は酸化時間  $t$  に対して、 $t^{1/2}$  で増加するのが常識であったが、本発明の Kr/O<sub>2</sub> 高密度プラズマ酸化では、酸化膜厚が 35 nm の厚さに達するまでは、酸化速度は一定であり、酸化膜厚は時間とともに直線的に増大する。これは原子状酸素 O\* の拡散速度が Si 酸化膜中で極めて大きく、原子状酸素 O\* が Si 酸化膜を自在に通り抜けられることを意味する。

また酸化膜膜厚の面方位依存性に関して図 3 の結果を見ると、従来の 90

0℃でのドライ熱酸化ではS i基板表面が(1 1 1)面方位を有する場合の方が(1 0 0)面方位を有する場合よりも酸化膜の成長速度が速いのに対し、K r /O<sub>2</sub> 高密度プラズマ酸化では、逆にS i基板表面が(1 1 1)面方位を有する場合の方が(1 0 0)面方位を有する場合よりも成長速度が遅くなっていることがわかる。

S i結晶の(1 1 1)面ではS i原子の面密度が(1 0 0)面よりも大きいので、酸素ラジカルの供給量が同じであればS i結晶の酸化速度は(1 1 1)面の方が(1 0 0)面よりも遅くなるはずである。前記K r /O<sub>2</sub> 高密度プラズマを用いたシリコン基板表面酸化では、この予測通りになっており、S i結晶の(1 1 1)面上にも(1 0 0)面と同様に緻密な酸化膜が形成されていると考えられる。これに対し従来の熱酸化処理では(1 1 1)面の酸化速度の方が(1 0 0)面の酸化速度よりも大きく、(1 1 1)面上に形成された酸化膜は(1 0 0)面上に形成された酸化膜よりも疎な構造を有していることを示している。

図4は、上記の手順で形成されるS i酸化膜中のK r密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べた結果を示す。(1 0 0)面上に形成された酸化膜と(1 1 1)面上に形成された酸化膜で、同様の結果が得られる。ただし図4の実験はK r雰囲気中において酸素分圧を3%に設定し、処理室内の圧力を1 T o r r、基板温度を4 0 0° Cに設定して行っている。

図4を参照するに、酸化膜中のK r密度は膜厚が減少するにつれて減少し、S i酸化膜の表面では $2 \times 10^{11} \text{ cm}^{-2}$ 程度の値になる。すなわち、このようにして形成されたS i酸化膜では、膜厚が4 nm以上の場合、膜中のK r濃度は一定となり、シリコン/S i酸化膜の界面に向かってK r濃度が減少する。

図5は、このようにして形成されたS i酸化膜の界面準位密度を、-低周波C-V測定から求めた結果を示す。ただし前記S i酸化膜の形成は図1に示した装置を用いて、基板温度を4 0 0° Cに設定して実行した。その際、希ガス中の酸素分圧は3%に、また処理室内の全圧は1 T o r rに固定している。比較のため、図5中には9 0 0° C、O<sub>2</sub> 1 0 0%の雰囲気中で形成した熱酸化膜の界面準位密度も同時に示している。

図5を参照するに、Krプラズマ中で形成した酸化膜の界面準位密度は、前記酸化膜をSiの(100)面上に形成した場合および(111)面上に形成した場合のいずれにおいても非常に小さく、900°Cのドライ酸化雰囲気でSi結晶の(100)面上に形成した熱酸化膜の界面準位密度と同等の値が得られるのがわかる。これに対し、熱酸化膜を(111)面上に形成した場合には、熱酸化膜中の界面準位密度はこれらに比べ1桁以上大きくなることがわかる。

かかるSiの(111)面上にKr/O<sub>2</sub>低温プラズマ処理により形成されたSi酸化膜中における界面準位密度の劇的な減少は、次のような機構による

Si結晶の酸化処理中には、酸化膜側からSi結晶表面を見た場合、前記Si結晶表面が(100)面の場合、各々のSi原子について2本ずつ結合手が現れる。これに対し、前記Si結晶表面が(111)面の場合には、Si原子の結合手は酸化の進行と共に1本現れる場合と3本現れる場合とが交互に出現する。

そこで、従来の熱酸化処理で(111)面においてあるSi原子の3本の結合手に酸素が結合してしまうと、そのシリコン原子の後ろ側の結合手はウィークボンドになり、あるいは切れてダングリングボンドを形成しやすく、その結果界面準位が増加してしまうと考えられる。これに対し、KrとO<sub>2</sub>の混合ガス中における高密度励起プラズマ酸化処理では中間励起状態にあるKr\*とO<sub>2</sub>分子とが衝突して活性な原子状酸素O\*が効率よく発生するが、この原子状酸素O\*が前記ウィークボンドやダングリングボンドに効率よく到達し、シリコン-酸素の新たな結合をつくるものと考えられる。その結果、Si結晶の(111)面上に形成された絶縁膜ではウィークボンドやダングリングボンドに起因する界面準位が低減すると考えられる。

図6は、図1の基板処理装置においてSi酸化膜形成時に使われるKr雰囲気中のO<sub>2</sub>分圧と、形成されたSi酸化膜の絶縁耐圧、および界面準位密度の関係を示す。ただし図6の実験では、処理室内の圧力は1 Torrに固定している。同様な関係は、Si酸化膜を(100)面上に形成した場合および(1

1 1) 面上に形成した場合にも得られる。

図6を参照するに、 $Kr$  雰囲気中の $O_2$  分圧が3%の時に酸化膜中の界面順位密度は最小となり、熱酸化膜中での界面順位密度と同等の値となることがわかる。また、 $Si$  酸化膜の絶縁耐圧も、酸素分圧が3%付近で最大となることがわかる。このことから、 $Kr/O_2$  混合ガスを用いて低温プラズマ酸化を行う場合には、酸素分圧は2~4%に設定するのが好適であると結論される。

図7は、前記 $Kr/O_2$  混合ガス中における低温プラズマ酸化処理による $Si$  酸化膜形成時の処理圧力と、形成された $Si$  酸化膜の絶縁耐圧および界面順位密度との関係を示す。ただし図7の実験では、酸素の分圧は3%に設定している。同様な関係は、 $Si$  酸化膜を(100)面上に形成した場合および(111)面上に形成した場合にも得られる。

図7を参照するに、成膜時の処理圧力が約1 Torrの場合に形成される $Si$  酸化膜の絶縁耐圧は最大となり、界面順位密度は最小となるのがわかる。このことから、 $Kr/O_2$  混合ガスを用いて酸化膜を形成する場合、成膜時の処理圧力は、800~1200 mTorrの範囲が最適であると結論される。

前記 $Kr/O_2$  高密度プラズマ処理により形成された $Si$  酸化膜は、この他にも耐圧特性、リーク電流特性、ホットキャリア耐性、ストレス電流を流したときの $Si$  酸化膜が破壊に至るまでの電荷量 $QBD$ (Charge-to-Breakdown)などの電気的特性、信頼性特性について、900℃での熱酸化により形成された熱酸化膜と同様の良好な特性を示すことが確認された。

上述したように、前記 $Kr/O_2$  高密度プラズマにより形成した酸化膜は、400℃という低温で酸化しているにもかかわらず、(100)面を酸化した場合、および(111)面を酸化した場合のいずれについても、従来の(100)面上に形成された高温熱酸化膜と同等、あるいはより優れた特性を示しているが、こうした好ましい効果が得られるのは、酸化膜中に $Kr$ が含有されることにも起因していると考えられる。

より具体的に説明すると、酸化膜中に含有された $Kr$ は膜中の、あるいは $Si/SiO_2$  界面でのストレスを緩和し、その結果、膜中のトラップ電荷や界面準位密度が低減され、 $Si$  酸化膜の電気的特性が大幅に改善されることが考えら

れる。特に、図4に示されるように、表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下のKrを含むことがSi酸化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

このゲート酸化膜を使用したMISトランジスタを作成し、チャネルモビリティの面方位依存を測定したところ、後の実施例で説明するが、Si(111)面上に形成したトランジスタのチャネル移動度が(100)面上に形成した場合に比べて、nチャネルトランジスタの場合およびpチャネルトランジスタの場合のいずれにおいても、約1.2倍以上増加することが確認された。

本発明の酸化膜形成は図1の基板処理装置に限定されるものではなく、プラズマを用いた低温の酸化膜形成が可能である限り、別のプラズマ処理装置を使用してもかまわない。例えばかかる基板処理装置として、マイクロ波によりプラズマを励起するためにKrガスを放出する第1のガス放出手段と、酸素ガスを放出する第2のガス放出手段とを備えた2段式シャワープレート型プラズマプロセス装置を使うことも可能である。

次に、プラズマを用いた低温での窒化膜形成について説明する。

本発明における窒化膜形成も、図1の基板処理装置を使って行われる。ただし、窒化膜形成の際には、ArあるいはKrをプラズマ励起ガスとして使用する。

すなわち前記真空容器(処理室)101内を高真空状態に排気し、シャワープレート102から一例としてArガスおよびNH<sub>3</sub>ガスを導入することにより処理室101内の圧力を100mTorr(約13Pa)程度に設定する。さらにシリコンウェハ等の円形状の基板103を前記試料台104上に置き、基板温度を約500°Cに設定する。ただし基板温度が200-550°Cの範囲内であれば、ほとんど同様の結果が得られる。

次に前記同軸導波管105から、ラジアルラインスロットアンテナ106および誘電体板107を通して処理室内に2.45GHzのマイクロ波を供給し、処理室内に高密度プラズマを生成する。供給するマイクロ波の周波数が900MHz以上10GHz以下の範囲にあれば、ほとんど同様の結果が得られる。またシャワープレート102と基板103の間隔は、本実施例では6cmに設

定してある。この間隔は狭いほうがより高速な成膜が可能となる。

なお本実施例ではラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。また本実施例では、プラズマ励起ガスにArを使用しているが、Krを用いても同様の結果を得ることができる。さらに本実施例では、プラズマプロセスガスにNH<sub>3</sub>を用いているが、N<sub>2</sub>とH<sub>2</sub>などの混合ガスを用いても良い。

ArまたはKrとNH<sub>3</sub>（またはN<sub>2</sub>とH<sub>2</sub>）の混合ガスの高密度励起プラズマ中では、中間励起状態にあるAr\*またはKr\*により、窒化水素ラジカルNH\*が効率よく発生し、このNH\*ラジカルにより、基板表面が効率的に窒化される。

従来よりシリコン表面の直接窒化の例の報告はなく、窒化膜形成はプラズマCVD法などにより行われていたが、トランジスタのゲート絶縁膜に使えるような高品質な膜は得られていない。しかし本実施例による低温プラズマ窒化処理によれば、Si結晶の面方位を選ばず、(100)面上にも(111)面上にも、低温において高品質な窒化膜を形成することが可能となる。

ところで、本発明のSi窒化膜形成においては、膜形成時にプラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中および界面のダングリングボンドがSi-HあるいはN-H結合を形成して終端され、その結果シリコン窒化膜中あるいは界面の電子トラップが解消される。

本発明のSi窒化膜中にSi-H結合およびN-H結合が存在することは、それぞれ赤外吸収スペクトルおよびX線光電子分光スペクトルを測定することで確認されている。膜中に水素が存在することで、CV特性のヒステリシスも無くなり、シリコン／シリコン窒化膜界面密度も $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス（ArまたはKr）とN<sub>2</sub>/H<sub>2</sub>の混合ガスを使用してシリコン窒化膜を形成する場合には、混合ガス中におけるH<sub>2</sub>の分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少することが確認されている。

図8は、上述の手順で作成したSi窒化膜の膜厚と処理圧力との関係を示す。ただし図8の実験ではAr : NH<sub>3</sub> の分圧比は98 : 2に設定され、膜形成は30分行われた。

図8を参照するに窒化膜の成長速度は処理圧力を下げて、希ガス（ArまたはKr）原子がNH<sub>3</sub>分子（またはN<sub>2</sub>/H<sub>2</sub>）に与えるエネルギーを増やした方が速くなる。窒化の効率化の観点からは、処理圧力は50～100mTorrに設定するのが好ましい。特に希ガス中のNH<sub>3</sub>（またはN<sub>2</sub>/H<sub>2</sub>）の分圧は1～10%の範囲が好ましく、さらに好ましくは2～6%の範囲に設定するのが良い。

10 本実施例により、約7.9の比誘電率を有するSi窒化膜が得られたが、この値はSi酸化膜の比誘電率値の約2倍である。

図9は、本実施例のSi窒化膜について得られた電流電圧特性を示す。ただし図9の結果は、Ar/N<sub>2</sub>/H<sub>2</sub>混合ガスをプラズマガスとして使い、Ar : N<sub>2</sub> : H<sub>2</sub> の分圧比を93 : 5 : 2に設定し、前記Si窒化膜を4.2nmの厚さ（誘電率換算酸化膜2.1nmに相当）に形成した場合のものであり、図9中には比較のため、厚さが2.1nmの熱酸化膜の電流電圧特性をも示している。

図9を参照するに、前記Si窒化膜については1Vの電圧を印加した場合に、Si酸化膜よりも4桁以上も低いリーク電流値が得られていることがわかる。

20 図9の結果は、ゲート酸化膜中のリーク電流に起因するトランジスタの微細化限界の問題が、かかるSi窒化膜の使用により突破できる可能性があることを示している。

上述したSi窒化膜の成膜条件および物性的・電気的特性は、窒化されるSi結晶の面方位によらず、(100)面であっても(111)面であっても同様である。

本発明により、Si(100)面上に形成された熱酸化膜をリーク電流特性において凌駕する窒化膜が得られるのは、窒化膜中に前記Si-H結合およびN-H結合だけでなく、Ar原子あるいはKr原子が含有されることにも関係していると考えられる。すなわち、窒化膜中にArやKr原子が含まれること

により、窒化膜中における、あるいはシリコン／窒化膜界面におけるストレスが緩和されるものと考えられる。その結果、シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性、信頼性的特性が大幅に改善される。特に、先に図4で説明したSi酸化膜の場合と同様に、膜表面において面密度にして

5  $5 \times 10^{11} \text{ cm}^{-2}$  以下のArあるいはKrを含むことが、Si窒化膜の電気的特性および信頼性の改善に寄与していると考えられる。

後の実施例で説明するが、本発明のSi窒化膜をゲート絶縁膜として使用したMOSトランジスタを作成し、チャネル移動度を測定したところ、Siの(111)面上に形成したトランジスタのチャネル移動度は(100)面上に

10 形成したトランジスタのチャネル移動度に比べ、nチャネルトランジスタおよびpチャネルトランジスタのいずれにおいても、約1.3倍以上増加することが確認された。

本発明の窒化膜の形成は、図1の基板処理装置以外の装置であっても、それがプラズマを用いた低温の酸化膜形成を可能とするものであれば可能である。

15 たとえば、マイクロ波によりプラズマを励起するためにArまたはKrガスを放出する第1のガス放出手段と、NH<sub>3</sub>ガス（またはN<sub>2</sub>とH<sub>2</sub>混合ガス）を放出する第2のガス放出手段とを備えた2段シャワープレート型プラズマ処理装置を使うことも可能である。

## 20 [第1実施例]

次に、ゲート絶縁膜にプラズマを用いた低温の酸化膜と窒化膜の2層構造を使用した本発明の第1実施例による半導体装置について説明する。

本実施例においては、酸化膜および窒化膜形成のために図1の基板処理装置を使い、その際Krをプラズマ励起ガスとして使用する。

25 図1を参照するに、最初に前記真空容器（処理室）101内を真空排気し、次いで前記シャワープレート102からKrガスおよびO<sub>2</sub>ガスを前記処理室101中に導入し、処理室内の圧力を1 Torr程度に設定する。さらにシリコンウェハの温度を約450°Cに設定する。

次に前記同軸導波管105よりラジアルラインスロットアンテナ106およ



び誘電体板107を通して前記処理室内101中に周波数が2.45GHzのマイクロ波を導入し、前記処理室101内に高密度のプラズマを生成する。その結果、前記ウェハを構成するSi基板の表面に、約1nmの厚さのSi酸化膜が形成される。

- 5 次にマイクロ波の供給を一時停止し、前記KrガスおよびO<sub>2</sub>ガスの導入を停止し、前記処理室101内を高真空状態に排気する。次に前記シャワープレート102からKrガスおよびNH<sub>3</sub>ガスを導入し、前記処理室101内の圧力を100mTorr程度に設定する。さらに周波数が2.45GHzのマイクロ波を前記処理室101中に再び供給し、前記処理室101内に高密度のプラズマを生成する。その結果、前記Si酸化膜上に厚さが約2nmのSi窒化膜が形成される。

- 10 このようにして形成されたSi酸化膜とSi窒化膜との積層膜においては、界面準位密度は先に図5で説明したように非常に小さく、また膜全体として、約6.7の大きな実効的比誘電率を有する。またこのようにして得られた積層膜は、リーク電流特性、耐圧特性、ホットキャリア耐性などの電気的特性および信頼性に優れた膜であることが確認された。前記積層膜にはSi結晶面に対する面方位依存も認められず、(100)面上に形成された膜も(111)面上形成された膜も、共に優れた特性を有していることが確認された。

- 15 図10(A)～(D)は、本発明の第1実施例によるMISトランジスタの製造工程を示す。

- 20 図10(A)を参照するに、(100)主面あるいは(111)主面をSi基板11上に先に説明した工程により、図1の基板処理装置を使って厚さがそれぞれ1nmおよび2nmのSi酸化膜12AおよびSi窒化膜12Bを積層した積層ゲート絶縁膜12が形成され、図10(B)の工程において、前記積層ゲート絶縁膜12上にポリシリコン膜13が形成される。

次に図10(C)の工程において前記ポリシリコン膜13をパターニングすることによりゲート電極13Aが形成され、さらに前記ゲート電極13Aをマスクに、前記Si基板11中に不純物元素がイオン注入され、前記基板11中において前記ゲート電極13Aの両側にLDD領域11A、11Bが形成され

る。

さらに図10 (D) の工程において前記ゲート電極13Aの両側壁面上に側壁絶縁膜14A, 14Bが形成され、さらに前記側壁絶縁膜14A, 14Bをマスクに不純物元素のイオン注入を行うことにより、前記基板11中、それぞれ  
5 前記側壁絶縁膜14Aおよび14Bの外側に、高濃度拡散領域11C, 11Dが、MISトランジスタのソース領域およびドレイン領域として形成される。

本実施例によるMISトランジスタでは、前記ゲート絶縁膜12が酸化膜の低界面準位特性と窒化膜の高誘電率特性を兼ね備えており、ゲート長 $L_g$ を0.1  $\mu m$ 以下に減少させた場合でもゲートリーク電流の増大を抑制することが可能である。  
10

図10 (D) のMISトランジスタにおいて、チャネル移動度の面方位依存を測定したところ、トランジスタを(111)面方位のSi基板上に形成した場合、チャネル移動度は(100)面方位のSi基板上に形成した場合に比べ、  
15 nチャネルトランジスタおよびpチャネルトランジスタのいずれにおいても約1.2倍以上増加するのが確認された。

なお、本実施例では、積層ゲート絶縁膜12においてSi基板11の側に酸化膜12Aを形成したが、目的に応じて酸化膜12Aおよび窒化膜12Bの順序を入れ替えることも可能である。前記積層ゲート絶縁膜12の代わりに、酸化膜/窒化膜/酸化膜構造、あるいは窒化膜/酸化膜/窒化膜構造など、さら  
20 に複数の層を積層した積層ゲート絶縁膜を使用することも可能である。

## [第2実施例]

図11Aは、従来の典型的なSTI構造を示す。

図11Aを参照するに、STI構造はSi基板1003の表面をプラズマエッチングして素子分離溝を形成し、かかる素子分離溝を形成されたSi基板1003の表面にCVD法によりSi酸化膜1002を堆積し、さらに形成されたSi酸化膜1002をCMP法などにより平坦化してSi基板1003表面からSi酸化膜を除去する工程により形成される。  
25

前記CMP法による研磨後に、露出されたSi基板表面は800~900°

Cで犠牲酸化を施され、さらに犠牲酸化により形成されたSi酸化膜を、HFを含む薬液中でエッチングし、高洗浄なSi表面を得る。

このようにして得られた基板表面はRCA洗浄などによりさらに洗浄され、かかる洗浄なSi基板表面にゲート絶縁膜1001が約4nmの厚さに形成される。

このような従来のSTI構造では、(100)面方位を有するSi基板上に熱酸化処理によりゲート絶縁膜を形成した場合、形成条件によらず、すなわちドライ酸化かウェット酸化かによらず、また形成温度によらず、図11Bに示すように、素子分離溝の角部1004においてSi酸化膜の薄膜化が発生していた。この角部1004ではSiの111面が露出されている。このため、従来のSTI構造では、かかる角部1004においてリーク電流の増大の問題が発生し、得られる半導体装置あるいは半導体集積回路装置の特性を不安定にしていた。

これに対し、先に説明したKr/O<sub>2</sub>プラズマ酸化処理によりSi酸化膜を形成した場合、図11Cに示すように素子分離溝の角部1705において、図11BにおけるようなSi酸化膜の薄膜化は生じないことが確認された。これは、本発明のKr/O<sub>2</sub>プラズマ酸化処理においては原子状酸素O\*が前記角部1005付近にも効率よく達しているためと考えられる。

このKr/O<sub>2</sub>プラズマ酸化処理により形成されたSTI構造の全体のQBD (Charge-to-Breakdown) 特性は非常に良好で、注入電荷量が102C/cm<sup>2</sup>に達するまで破壊が生じることはなく、半導体集積回路装置の信頼性が大幅に改善することが確認された。

また、STI構造中のSi酸化膜を従来の熱酸化法で形成した場合、素子分離溝のテーパ角が大きくなるに従って、前記角部でのSi酸化膜の薄膜化の程度が大きくなるが、本発明のKr/O<sub>2</sub>プラズマ酸化処理により酸化膜を形成した場合には、前記素子分離溝のテーパ角が大きくなっても、かかる酸化膜の薄膜化が起こらない。すなわち、本発明はSTI構造において素子分離溝を急峻なテーパ角で形成することを可能とし、その結果、基板上におけるSTI構造の占める面積を減少させることが出来る。すなわち、本発明は、半導体集積

回路装置のさらなる集積密度向上を可能とする。従来は、先に説明した理由により、前記素子分離溝のテーパ角は約70度に設定されていたが、本発明によれば90度に設定しても良好な特性が得られる。これにより、半導体集積回路装置の集積密度を従来に比べ約2倍に増大させることが可能となった。

- 5       また、図11Aの構造において先に説明したAr/NH<sub>3</sub> プラズマ窒化処理を用いて前記Si基板1003の(100)面方位を有する主面上にSi窒化膜を形成した場合でも、(111)面方向を向いた素子分離溝角部1001に高品質な、局所的な膜厚の減少のないSi窒化膜を形成することができ、その結果、かかるSTI構造を有する半導体集積回路装置は非常に良好な電気的特性を示し、また高い信頼性を示す。これは、本発明のプラズマ窒化処理においては、酸化処理の場合と同様にラジカル挙動が重要な要件となっており、形成されたNH\*ラジカルが図11Aの角部1001、特に図11Cの角部1005付近に効率よく到達するためと考えられる。
- 10

- 図11Aの構成において前記ゲート絶縁膜1001としてSi窒化膜を4nmの厚さ(Si酸化膜厚誘電率換算2nm)に形成した場合、得られたMISトランジスタは非常に良好な電気的特性を示し、前記ゲート絶縁膜として厚さが4nmのSi酸化膜を形成した場合よりもトランジスタの駆動能力が約2倍増大することがわかる。
- 15

## 20       [第3実施例]

      図12は、本発明の第3実施例による強誘電体メモリ装置の概略的構成を示す断面図である。

- 図12を参照するに、前記強誘電体メモリ装置はP型ウェル1101が形成されたSi基板上に形成されており、前記ウェル1101中にはn型ソース領域1102およびドレイン領域1102'が形成されている。さらに前記Si基板上には先に説明したAr/NH<sub>3</sub> プラズマ処理により、400°Cの温度で厚さ5nmのSi窒化膜1103がゲート絶縁膜として形成されており、前記ゲート絶縁膜1103上にはn型ポリシリコンゲート電極1104が形成されている。
- 25

さらに前記ポリシリコンゲート電極 1 1 0 4 上には先に説明した A r / N H 3 プラズマ窒化処理により、厚さ 5 n m の S i 窒化膜 1 1 0 5 が 4 0 0 ° C の温度で形成されており、前記 S i 窒化膜 1 1 0 5 上には S r T a N b O 系強誘電体膜 1 1 0 6 が約 1 5 0 n m の厚さに形成される。また前記強誘電体膜 1 1 0 5 6 上には P t 電極 1 1 0 7 が形成されている。

典型的には、前記強誘電膜 1 1 0 6 は S r : T a : N b が 1 : 0.7 : 0.3 になるようにスパッタ成膜され、さらに先に説明した K r / O 2 プラズマ酸化処理により 4 0 0 ° C でプラズマ酸化される。その結果、前記強誘電体膜 1 1 0 6 は S r 2 ( T a 0.7 N b 0.3 ) 2 O 7 で表される組成を有する。

前記ソース領域 1 1 0 2 およびドレイン領域 1 1 0 2 ' は、イオン注入をゲート酸化膜を通さずに行い、さらに 4 0 0 ° C で電氣的活性化することにより形成される。図 1 2 の強誘電体メモリ装置では、ゲート長は 0.3 5 μ m としている。

S r T a N b O 系強誘電体膜は約 4 0 程度の比誘電率を有し、従来よりゲート絶縁膜に熱酸化膜を使った強誘電体メモリ装置において書き込み電圧を減少させるのに有効であることが知られていた。これに対し、本実施例では、本発明ではじめて可能となる A r / N H 3 プラズマ窒化処理により形成されるシリコン窒化膜をゲート絶縁膜 1 1 0 3 に使用しており、このためゲート絶縁膜に S i 酸化膜を使用したときに比べ、ゲート絶縁膜の誘電率が約 2 倍増大している。その結果、本実施例の強誘電体メモリ装置では、書き込み電圧を従来の約 1.9 分の 1 にさらに低減することが可能である。

また、従来の強誘電体メモリ装置では、ポリシリコンゲート電極 1 1 0 4 と S r T a N b O 系強誘電体膜 1 1 0 6 との間に I r O 2 のような拡散防止層を使う例が主であったが、かかる構成では I r O 2 膜中の I r が下地のポリシリコンゲート電極 1 1 0 4 中に侵入し、強誘電体メモリ装置の電氣的特性に悪影響を及ぼすという問題があった。これに対し、本実施例では A r / N H 3 プラズマ窒化処理により、S i 窒化膜 1 1 0 5 を主に < 1 1 1 > 方向に優先配向しているポリシリコンゲート電極 1 1 0 4 上に低温で形成することが可能になった。このようにして形成された S i 窒化膜は緻密で、下地の半導体素子に悪影

響を及ぼすことはもちろんなく、かつ高い拡散防止膜としての性能を有している。

従来の強誘電体メモリ装置では、前記  $\text{SrTaNbO}$  系強誘電体膜 1106 はゾルゲル法で形成した後、 $900^{\circ}\text{C}$  以上の高温熱処理により結晶化される

- 5      のが一般的であったが、膜内組成の不均一性、高温化の拡散により素子特性が劣化する問題が生じていた。また、このようにして形成された強誘電体膜の耐リーク特性も不十分なものであった。これに対し、本実施例では、 $\text{Sr}:\text{Ta}:\text{Nb}$  組成比が正確に  $1:0.7:0.3$  になるように  $\text{SrTaNbO}$  膜をスパッタにより形成し、さらにこれを  $\text{Kr}/\text{O}_2$  プラズマ酸化処理により低温で酸化することで、均一性の優れた、元素の拡散の起こらない、リーク電流特性の優れた  $\text{Sr}_2(\text{Ta}_{0.7}\text{Nb}_{0.3})_2\text{O}_7$  膜を形成することが可能になった。

本実施例による強誘電体メモリ装置の2次元アレイを有する強誘電体メモリ集積回路においては、従来に比べ約  $1/2$  弱の低電圧での書き込みが可能となり、また駆動特性も約2倍に向上する。さらに書き込まれた情報の保持時間も従来の約100倍に増大し、また書き換え可能な回数も増大する。

本実施例の強誘電体メモリ装置は、全工程を約  $400^{\circ}\text{C}$  以下の温度で実行することが可能であり、その結果本実施例では強誘電体メモリ装置を、金属層を  $\text{Si}$  基板中に有する  $\text{SOI}$  基板上に、あるいは基板上に金属配線パターンが形成された後、前記金属配線パターンを覆うように形成された絶縁膜上に形成されたポリシリコン層上に形成することも可能である。

#### [第4実施例]

図13は、本発明の第4実施例によるフラッシュメモリ装置の概略的構成を示す断面図である。

- 25      図13を参照するに、前記フラッシュメモリ装置はP型ウェル1201を形成された  $\text{Si}$  基板上に形成されており、前記P型ウェル1201中にはn型拡散領域1202および1202'がそれぞれソース領域およびドレイン領域として形成されている。

前記  $\text{Si}$  基板上には先に説明した  $\text{Ar}/\text{NH}_3$  プラズマ窒化処理により、 $\text{S}$

i 窒化膜 1203 が約 400°C の温度で約 6 nm の厚さに形成されており、前記 Si 窒化膜 1203 上にはポリシリコンフローティングゲート電極 1204 が形成されている。さらに前記ポリシリコンフローティングゲート電極 1204 上には先に説明した Ar / NH<sub>3</sub> プラズマ窒化処理により、厚さが 4 nm の Si 窒化膜 1205 が 400°C の温度で形成されており、前記 Si 窒化膜 1205 上にはポリシリコンコントロールゲート電極 1206 が形成されている。

図 13 のフラッシュメモリ装置を製造する際には、前記ソース領域 1202 およびドレイン領域 1202' は n 型不純物元素のイオン注入をゲート酸化膜を通さずに行い、400°C の熱処理により電気的活性化することにより形成される。図示の例では、前記フラッシュメモリ装置は 0.25 μm のゲート長を有するように形成される。

本実施例では、前記 Ar / NH<sub>3</sub> プラズマ窒化処理を行うことにより、ゲート絶縁膜 1203 および <111> 方向に優先配向しているポリシリコンフローティングゲート電極 1204 上の絶縁膜 1205 を、低温処理により形成される窒化膜により形成できる。このようにして形成されたこの Si 窒化膜 1203 および 1205 は緻密で、非常に低いリーク電流特性を有する。その結果、前記フラッシュメモリ装置は、従来より 1 桁以上大きいメモリ保持時間を有する。

特に本実施例による Si 窒化膜 1203 は優れたホットキャリア耐性を有し、このためゲート絶縁膜として従来の Si 酸化膜を使用した場合に比べ、書き換え可能回数を約 1 桁以上増大させることが可能になる。またフローティングゲート電極 1204 とコントロールゲート電極 1206 との間に設けられる前記 Si 窒化膜 1205 は薄膜化しても良好な電気的特性を維持し、このため膜厚を減少させることが可能である。その結果、本実施例によるフラッシュメモリ装置は、書き込み電圧を大幅に低減することが可能である。

本実施例のフラッシュメモリ装置の 2 次元アレイを有するフラッシュメモリ集積回路装置は、従来のフラッシュメモリ集積回路装置に比べ、書き込み電圧が約 1 / 1.3 倍減少し、書き込み速度は約 2 倍向上し、書き込まれた情報の保持時間が 100 倍以上向上し、また書き換え可能回数が大幅に増大する。

本実施例のフラッシュメモリ装置は全工程を約400℃以下の温度で実行可能であり、このため本実施例ではフラッシュメモリ装置を、金属層をSi基板中に有するSOI基板上に、あるいは基板上に金属配線パターンが形成された後、前記金属配線パターンを覆うように形成された絶縁膜上に形成されたポリシリコン層上に形成することも可能である。

なお、本実施例において前記絶縁膜1203および1205を、先に説明したKr/O<sub>2</sub> プラズマ酸化処理により形成したSi酸化膜により形成することもできる。

#### 10 [第5実施例]

図1の基板処理装置を用いたKr/O<sub>2</sub> マイクロ波励起高密度プラズマによるゲート酸化、あるいはAr（またはKr）/NH<sub>3</sub>（またはN<sub>2</sub>/H<sub>2</sub>）マイクロ波励起高密度プラズマによるゲート窒化は、従来のような高温工程を用いることができない金属基板SOIウェハ上への集積回路装置形成に適している。特に本発明は、かかる金属基板SOIウェハ上にSi結晶の(111)面を主面とする半導体層を形成し、前記(111)面上に集積回路装置を形成する場合に最適である。先にも説明したように、Si結晶の(111)面ではSi原子の面密度が高くトランジスタの駆動能力が増大する。

図14は、金属基板SOI構造上に形成されたMOSトランジスタの構成を示す断面図である。

図14を参照するに、前記金属基板SOI構造はn+型あるいはp+型低抵抗半導体層1301と、前記半導体層1301上に形成されたNiSiなどのシリサイド層1302と、前記シリサイド層1302上に形成されたTa<sub>2</sub>N<sub>5</sub>あるいはTiNよりなる導電性窒化物層1303と、前記導電性窒化物層1303上に形成された、Cu等の金属層1304と、前記金属層1304上に形成されたTa<sub>2</sub>N<sub>5</sub>あるいはTiNよりなる導電性窒化物層1305と、前記導電性窒化物層1305上に形成されたn+型あるいはp+型低抵抗半導体層1306と、前記低抵抗半導体層1306上に形成されたAlNあるいはSi<sub>3</sub>N<sub>4</sub>よりなる窒化物絶縁膜1307とよりなり、前記窒化物絶縁膜1307上には、(1



11) 面を主面とするSi層領域1314および1315が、前記MOSトランジスタの活性領域として、相互に離間して形成されている。

前記Si層領域1314中にはn+型ドレイン領域1310とn+型ソース領域1311とが、間に形成されたチャネル領域を隔てて形成され、また前記  
5 Si層領域1315中にはp+型nドレイン領域1312とp+型ソース領域1313とが、間に形成されたチャネル領域を隔てて形成される。

さらに前記Si層領域1314およびSi層領域1315のそれぞれのチャネル領域上には、先に説明したマイクロ波励起超高密度プラズマを使ったKr/O<sub>2</sub>プラズマ酸化処理により、SiO<sub>2</sub>ゲート絶縁膜1316が形成されて  
10 いる。

前記Si層領域1314では、前記SiO<sub>2</sub>ゲート絶縁膜1316上にTa, Ti, TaN/TaあるいはTiN/Ta等よりなるnMOSゲート電極1317が形成され、また前記Si層領域1315では、前記SiO<sub>2</sub>ゲート絶縁膜1316上にTa, Ti, TaN/TaあるいはTiN/Ta等よりなるp  
15 MOSゲート電極1318が形成されている。

さらに前記窒化物絶縁膜1307上には、前記Si層領域1314と1315との間を埋めるようにSiO<sub>2</sub>膜1308が形成され、前記SiO<sub>2</sub>膜1308上にはSiO<sub>2</sub>膜あるいはBP SG膜、あるいはSiO<sub>2</sub>膜とBP SG膜を組み合わせた絶縁層1309が形成される。前記絶縁層1309中には、前  
20 記n+型ドレイン領域1310とコンタクトする電極1319と、前記n+型ソース領域1311とコンタクトする電極1320とが、前記nMOSトランジスタのそれぞれドレイン電極およびソース電極として形成され、また前記p+型ドレイン領域1312とコンタクトする電極1321と、前記n+型ソース領域1313とコンタクトする電極1322とが、前記nMOSトランジスタ  
25 のそれぞれドレイン電極およびソース電極として形成されている。また、前記Si層1301の裏面には、基板裏面電極1323が形成されている。

このような金属基板SOI構造を使うことにより、消費電力が少なく、非常に高速で動作するMOSトランジスタを得ることができる。

ところで、このようにTaN膜やTiN膜で保護されたCu層を含む基板で

は、Cuの拡散を押さえるために、加えられる熱処理温度を700°C以下に制限する必要がある。このため、本実施例においては前記n+型あるいはp+型のソース領域あるいはドレイン領域1310~1313を、As<sup>+</sup>、AsF<sub>2</sub><sup>+</sup>、BF<sub>2</sub><sup>+</sup>などのイオン注入後、約550°Cの熱処理により形成する。また、従来の700°C以下の処理により高品質酸化膜を形成する技術は知られていなかったが、本発明のKr/O<sub>2</sub> マイクロ波励起高密度プラズマ酸化により、初めて図14に示す金属基板SOI構造上への半導体集積回路装置の形成が可能となる。

図14のMOSトランジスタをゲート絶縁膜に熱酸化膜を使った従来のMOSトランジスタと、サブスレッショルド特性について比較した場合、ゲート絶縁膜に熱酸化膜を使った場合にはサブスレッショルド特性にキックやリークが出現するのが避けられないが、ゲート絶縁膜を前記Kr/O<sub>2</sub> プラズマ酸化処理により形成した場合には、良好なサブスレッショルド特性が得られる。

また図14の半導体集積回路装置では、前記半導体層領域1314および1315がメサ型素子分離構造により分離されるが、かかるメサ型素子分離構造ではメサ領域を構成する半導体層領域1314あるいは1315の側壁面に主面とは異なったSi結晶面が出現するが、先に説明したKr/O<sub>2</sub> プラズマ酸化処理により、メサ領域側壁面も主面部と同様に、均一な厚さの酸化膜により覆うことが可能になる。このため図14のMOSトランジスタは良好な電気的特性を示し、高い信頼性を与える。

本実施例においては、前記ゲート絶縁膜1316として前記Kr/O<sub>2</sub> プラズマ酸化処理で形成されたSi酸化膜の代わりにAr/NH<sub>3</sub> 窒化処理で形成したSi窒化膜を使うことも可能である。この場合にも、非常に良好な電気的特性を示し高い信頼性を有する金属基板SOI半導体集積回路装置を得ることができる。例えば、本実施例において前記ゲート絶縁膜1316として厚さが4nmのSi窒化膜（Si酸化膜換算膜厚2nm）を使った場合でも良好な電気的特性が補償され、しかもトランジスタの駆動能力が、厚さが4nmのSi酸化膜をゲート絶縁膜1316として使用したときよりも約2倍増大する。

[第6実施例]

図15は、ガラス基板やプラスチック基板などの長方形基板に対して酸化、窒化を行うために設計された、本発明の基板処理装置の一例を示す概念図である。

5 図15を参照するに、前記基板処理装置は真空容器（処理室）1407を備え、前記処理室1407中を減圧排気した状態でシャワープレート1401からKr/O<sub>2</sub>混合ガスを導入する。その際、前記処理室1407はねじ溝ポンプ1402によって排気されており、前記処理室1407内の圧力を例えば1 Torrに設定する。

10 前記真空容器1407中にはガラス基板1403を保持可能で加熱機構を備えた試料台1404が設けられており、前記ガラス基板1403は前記試料台1404上において例えば30°Cに保持される。

さらに図15の基板処理装置では、方形導波管1405のスリットから誘電体板1406を介して、前記処理室1407中にマイクロ波が導入され、その  
15 結果前記処理室内1407中には高密度のプラズマが形成される。前記シャワープレート1401は、前記導波管1405から放射されたマイクロ波が、左右に表面波として伝搬する導波路の役割をも果たす。

図16は、図15の装置を使用して形成したSi酸化膜あるいはSi窒化膜をゲート絶縁膜として有するポリシリコンTFTの構成例を示す。かかるポリ  
20 シリコンTFTは、液晶表示装置や有機EL発光装置の駆動などに使われる。

最初にSi酸化膜を使用した例について説明する。

図16を参照するに、前記ポリシリコンTFTはガラス基板1501上に形成されており、前記ガラス基板1501上にはSi<sub>3</sub>N<sub>4</sub>膜1502を介して  
- <111>方向に優先配向したSi結晶よりなるn型ポリシリコンパターン1  
25 503およびp型ポリシリコンパターン1504が、それぞれnMOS-TFTのチャネル層およびpMOS-TFTのチャネル層として形成される。

前記nMOS-TFTのチャネル層1503中にはn+型ソース領域1505およびドレイン領域1506が形成されており、一方前記pMOS-TFTのチャネル層1504中にはp+型のソース領域1507およびドレイン領域

1508が形成されている。

さらに前記チャネル層1503および1504は絶縁膜1509に覆われており、前記チャネル層1503上においては前記絶縁膜1509を介してポリシリコンゲート電極1510が形成されている。同様に前記チャネル層1504上には前記絶縁膜1509を介してゲート電極1511が形成されている。

さらに前記Si<sub>3</sub>N<sub>4</sub>膜1502上にはSiO<sub>2</sub>、BSG、BPSG等の絶縁膜1512が前記チャネル層1503および1504を覆うように、また前記ゲート電極1510および1511を覆うように形成されており、前記絶縁膜1512上にはソース電極1513およびドレイン電極1514が、それぞれ前記ソース領域1505および1506にコンタクトするように形成される。また前記ドレイン電極1514は前記チャネル層1504上に形成されるpMOSトランジスタのソース領域をも兼ねており、従って、前記絶縁膜1512を介して前記ソース領域1507にもコンタクトする。さらに前記絶縁膜1512上には前記pMOS-TFTのソース電極1515が形成されており、前記ソース電極1515は前記絶縁膜を介して前記ドレイン領域1508にコンタクトする。

先にも説明したが、絶縁膜上に形成されたポリシリコン膜では、膜中のSi結晶が<111>方向に配向している場合が、換言するとSi結晶の<111>方向が前記絶縁膜主面に対して垂直方向向いている場合が最も安定であり、かつ緻密で結晶性の優れた膜が得られる。本実施例では前記チャネル層1503および1504を構成するポリシリコン膜を、350℃の温度で0.2μmの厚さに形成する。

さらに本実施例ではゲート絶縁膜として使われる前記絶縁膜1509を、図14の基板処理装置を使い、前記ポリシリコン膜上に、先に説明したKr/O<sub>2</sub>プラズマ酸化処理により、400℃の温度で約30nmの厚さに形成する。このような方法で前記絶縁膜1509を形成した場合、前記チャネル層1503あるいは1504を構成するポリシリコンパターンの角部において酸化膜1509が薄くなる問題は発生せず、平坦部・エッジ部ともに均一な膜厚のSi酸化膜が形成される。

本実施例においてはソース領域およびド레인領域1505～1508を形成する際に不純物元素のイオン注入はゲート酸化膜1509を通さずに行われ、注入された不純物元素は400℃での熱処理により電氣的に活性化する。その結果、前記TFTを形成する全工程において熱処理は400℃以下の温度で行われる。

このようにして形成されたTFTでは、電子移動度が $300\text{ cm}^2/\text{V} \cdot \text{sec}$ 以上、正孔移動度が $150\text{ cm}^2/\text{V} \cdot \text{sec}$ 以上であり、またソースド레인耐圧およびゲート耐圧は12V以上であることが確認された。かかるTFTにおいてチャネル長を $1.5 \sim 2.0\text{ }\mu\text{m}$ 程度まで減少させた場合、100MHzを越える高速動作が可能である。また形成されたSi酸化膜1509については、リーク電流特性およびポリシリコン/酸化膜の界面準位密度について、いずれも良好な結果が得られた。

本実施例のTFTを使うことで、大画面、低価格、高速動作、高信頼性を有する液晶表示素子や有機EL発光素子が実現される。

#### [第7実施例]

図17は本発明の第7実施例による3次元半導体集積回路装置の概略的構成を示す図である。

図17を参照するに、前記3次元半導体集積回路装置は第1のSOI集積回路層1601と、第2のSOI集積回路層1602とを積層して積層構造を形成し、かかる積層構造上にさらに第1のポリシリコン半導体素子層1603と第2のポリシリコン半導体素子層1604とを積層し、さらに前記ポリシリコン半導体素子層1604上にアモルファス半導体素子層および/または機能素子層1605を積層した構成を有する。

前記第1のSOI集積回路層1601および第2のSOI集積回路層1602はいずれも対応する配線層を含み、各々の層中においては先の実施例5で説明したSOIトランジスタにより、デジタル演算処理部や高精度高速アナログ部、シンクロナスDRAM部、電源部、インターフェース回路部などが形成されている。

また前記第1のポリシリコン半導体素子層1603も対応する配線層を含んでおり、先に実施例1～4で説明したMISトランジスタや強誘電体メモリ装置、フラッシュメモリ装置を用いて並列デジタル演算部や機能ブロック間リピータ部、記憶素子部などが形成されている。

- 5      さらに前記第2のポリシリコン半導体素子層1604も対応する配線層を含んでおり、先に実施例6で説明したTFTを用いてアンプやA/D変換器などの並列アナログ演算部が作成されている。前記アモルファス半導体素子層1605には、さらに光センサや音センサ、触覚センサ、電波送信受信部などの機能部が形成されてもよい。

- 10      前記アモルファス半導体素子層1605内に設けられた光センサや、音センサ、触覚センサや電波送信受信部などの機能部において形成された信号は、第2のポリシリコン半導体素子層1604中に設けられたTFTトランジスタを用いたアンプやA/D変換器などの並列アナログ演算部で処理され、さらに前記第1のポリシリコン素子層1603や第2のポリシリコン素子層1604に  
15      設けられたTFTやMISトランジスタ、強誘電体メモリ、フラッシュメモリを用いた並列デジタル演算部、あるいは記憶素子部に送られる。

- さらにこのようにして処理された信号は、第1のSOI集積回路層1601や第2のSOI集積回路層1602に設けられたSOIトランジスタを用いたデジタル演算処理部、高精度高速アナログ演算処理部、あるいはシンクロナス  
20      DRAM部で処理される。その際、前記第1のポリシリコン集積回路層1603に設けられた機能ブロック間リピータ部は、複数設けても大きなチップ面積を占有することないため、これらを複数個設けて集積回路装置全体の信号同期を調整することが可能である。

- こうした3次元半導体集積回路装置が可能になったのは、上記の実施例に詳細に説明した本発明の技術によるものである。  
25

なお、以上の説明はSi結晶の(111)面に限定されるものではなく、(111)面からの任意の方向へのオフセット角が±（\*\*\*補充下さい\*\*）度以内の、(111)面近傍の結晶面においても成立する。

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の



特許請求の範囲

1. (111)面近傍の結晶面を有するSi結晶と、  
前記結晶面上に形成された絶縁膜とよりなり、

5 前記絶縁膜の少なくとも一部がKrを含有するSi酸化膜よりなる半導体装置。

2. 前記Si酸化膜は、 $1.0 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 以下の界面準位密度を有する請求項1記載の半導体装置。

10

3. 前記Si酸化膜中において、Kr濃度が前記Si酸化膜の表面から前記Si酸化膜とSi結晶との界面に向って減少することを特徴とする請求項1記載の半導体装置。

15

4. 前記Si酸化膜はKrを、その表面において $5 \times 10^{11} \text{ cm}^{-2}$ 以下の面密度で含むことを特徴とする請求項1記載の半導体装置。

5. 前記Si酸化膜上にゲート電極をさらに有する請求項1記載の半導体装置。

20

6. 前記結晶面は、Si基板上に形成された素子分離溝の一部に形成されている請求項1記載の半導体装置。

7. 前記結晶面は、Si基板の主面を形成する請求項1記載の半導体装置。

25

8. 前記結晶面は、ポリシリコン膜の表面に形成されている請求項1記載の半導体装置。

9. (111)面近傍の結晶面を有するSi結晶と、  
前記結晶面上に形成された絶縁膜とよりなり、



前記絶縁膜の少なくとも一部が、A r またはK r を含有するS i 窒化膜よりなる半導体装置。

10. 前記S i 窒化膜はA r またはK r を、 $5 \times 10^{11} \text{ cm}^{-2}$ 以下の面密度で含むことを特徴とする請求項9記載の半導体装置。

11. 前記S i 窒化膜は、膜中に水素原子を含むことを特徴とする請求項9記載の半導体装置。

10 12. さらに前記S i 窒化膜上にゲート電極を有することを特徴とする請求項6記載の半導体装置。

13. 前記(111)面は、S i 基板上に形成された素子分離溝の一部に形成されている請求項9記載の半導体装置。

15 14. 前記(111)面は、S i 基板の主面を形成する請求項9記載の半導体装置。

15 15. 前記(111)面は、ポリシリコン膜の表面に形成されている請求項9記載の半導体装置。

16. S i 基板と、  
前記S i 基板上に形成された素子分離溝と、  
前記S i 基板表面および前記素子分離溝の側壁面を連続して覆う絶縁膜とよりなり、  
25 前記絶縁膜は、K r を含む、一様な厚さのS i 酸化膜よりなる半導体装置。

17. 前記S i 酸化膜は、その表面においてK r を $5 \times 10^{11} \text{ cm}^{-2}$ 以下の面密度で含む請求項16記載の半導体装置。

18. 前記Si酸化膜中において、Kr濃度が表面からSi基板との界面  
に向って減少する請求項16記載の半導体装置。

- 5 19. 前記Si酸化膜は、約2.1nm以下の厚さを有することを特徴と  
する請求項16記載の半導体装置。

20. Si基板と、

前記Si基板上に形成された素子分離溝と、

- 10 前記Si基板表面および前記素子分離溝の側壁面を連続して覆う絶縁膜とよ  
りなり、

前記絶縁膜は、ArまたはKrを含む、一様な厚さのSi窒化膜よりなる半  
導体装置。

- 15 21. 前記Si窒化膜は、その表面においてArまたはKrを $5 \times 10^{11} \text{ cm}^{-2}$   
以下の面密度で含む請求項20記載の半導体装置。

22. 前記Si窒化膜は、約2.1nm以下の厚さを有することを特徴とす  
る請求項20記載の半導体装置。

20

23. 絶縁膜と、

前記絶縁膜上に形成されたポリシリコン膜と、

前記ポリシリコン膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とよりなり、

- 25 前記ゲート絶縁膜は、Krを含有するSi酸化膜よりなることを特徴とする  
ポリシリコントランジスタ。

24. 絶縁膜と、

前記絶縁膜上に形成されたポリシリコン膜と、

前記ポリシリコン膜上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極とよりなり、  
前記ゲート絶縁膜は、A r またはK r を含有するS i 窒化膜よりなることを  
特徴とするポリシリコントランジスタ。

5

25. S i 基板と、

前記S i 基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成されたポリシリコンよりなるフローティングゲート電極と、

10 前記フローティングゲート電極上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成されたコントロールゲート電極とよりなり、

前記第2の絶縁膜は、K r を含有するS i 酸化膜よりなるフラッシュメモリ装置。

15 26. S i 基板と、

前記S i 基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成されたポリシリコンよりなるフローティングゲート電極と、

前記フローティングゲート電極上に形成された第2の絶縁膜と、

20 前記第2の絶縁膜上に形成されたコントロールゲート電極とよりなり、

前記第2の絶縁膜は、A r またはK r を含有するS i 窒化膜よりなるフラッシュメモリ装置。

27. S i 基板と、

25 前記S i 基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたポリシリコンよりなるゲート電極と、

前記ゲート電極上に形成されたS i 窒化膜と、

前記S i 窒化膜上に形成された強誘電体膜と、

前記強誘電体膜上に形成された別の電極とよりなり、

前記S i 窒化膜は、A r またはK r を含有することを特徴とする強誘電体メモリ装置。

28. 少なくとも1層の金属層と、

5 前記金属層の上方に絶縁膜を介して設けられ(111面)近傍の結晶面を主面とするS i 層と、

前記S i 層上に形成された複数のトランジスタとよりなり、

前記シリコン層の表面に形成された絶縁膜の少なくとも一部がA r を含有するS i 酸化膜よりなる半導体集積回路装置。

10

29. 少なくとも1層の金属層と、

前記金属層の上方に絶縁膜を介して設けられ(111)面近傍の結晶面を主面とするS i 層と、

前記S i 層上に形成された複数のトランジスタとよりなり、

15 前記シリコン層の表面に形成された絶縁膜の少なくとも一部がA r またはK r を含有するシリコン窒化膜よりなる半導体集積回路装置。

30. 処理室内に、K r を主とする不活性ガスと酸素ガスとを導入し、マイクロ波により励起することによりプラズマを形成する工程と、

20 前記プラズマ励起に伴い形成された原子状酸素O\*により、S i 結晶の(111)面近傍の結晶面を酸化する工程とよりなるS i 酸化膜の形成方法

31. 前記酸化工程は、550°C以下の温度で実行される請求項30記載のS i 酸化膜の形成方法。

25

32. 前記酸化工程は、約400°Cの温度で実行される請求項30記載のS i 酸化膜の形成方法。

33. 処理室内に、A r またはK r を主とする不活性ガスと窒素を構成成

分元素として含むガスとを導入し、マイクロ波により励起することによりプラズマを形成する工程と、

前記プラズマ励起に伴い形成された窒化水素ラジカル $\text{NH}^*$ により、 $\text{Si}$ 結晶の(111)面近傍の結晶面を窒化する工程とよりなる $\text{Si}$ 窒化膜の形成方法

5 法

34. 前記酸化工程は、 $550^\circ\text{C}$ 以下の温度で実行される請求項33記載の $\text{Si}$ 窒化膜の形成方法。

10 35. 前記酸化工程は、約 $400^\circ\text{C}$ の温度で実行される請求項33記載の $\text{Si}$ 窒化膜の形成方法。

36.  $\text{Si}$ 基板表面に側壁面で画成された素子分離溝を形成する工程と、  
前記 $\text{Si}$ 基板表面に、前記素子分離溝を充填するように酸化膜を堆積する工程と、

15 前記 $\text{Si}$ 基板表面および前記素子分離溝側壁面の上部を露出する工程と、  
前記露出された $\text{Si}$ 基板表面および前記素子分離溝の上部を、前記素子分離溝側壁面上縁の角部を含めて酸化し、前記 $\text{Si}$ 基板表面および前記素子分離溝側壁面の露出部を連続して覆う別の酸化膜を形成する工程において、

20 前記別の酸化膜は、 $\text{Kr}$ を主とする不活性ガスと酸素ガスとをマイクロ波により励起することによりプラズマを形成する工程と、

前記プラズマ励起に伴い形成された原子状酸素 $\text{O}^*$ により、前記 $\text{Si}$ 基板表面および前記素子分離溝側壁面の露出部を酸化させる工程とよりなる素子分離構造の形成方法。

25

37. 絶縁膜上にポリシリコンパターンを形成する工程と、

前記ポリシリコン膜表面および側壁面を酸化して、前記ポリシリコン膜表面および側壁面を連続して覆う酸化膜を形成する工程とよりなり、

前記酸化膜を形成する工程は、

Kr を主とする不活性ガスと酸素ガスとをマイクロ波により励起することによりプラズマを形成する工程と、

前記プラズマ励起に伴い形成された原子状酸素O\*により、前記ポリシリコン膜表面を酸化する工程とよりなることを特徴とする、ポリシリコンパターン上への酸化膜の形成方法。

38. 絶縁膜上にポリシリコンパターンを形成する工程と、

前記ポリシリコン膜表面および側壁面を窒化して前記ポリシリコン表面および側壁面を連続して覆う窒化膜を形成する工程とよりなり、

10 前記窒化膜を形成する工程は、

Ar またはKr を主とする不活性ガスと窒素を構成成分元素として含むガスをマイクロ波により励起することによりプラズマを形成する工程と、

前記プラズマ励起に伴い形成された窒化水素ラジカルNH\*により、前記ポリシリコン膜表面を窒化する工程とよりなることを特徴とする、ポリシリコンパターン上への窒化膜の形成方法。

39. 基板上に強誘電体膜を堆積する工程と、

前記強誘電体膜を結晶化させる工程とよりなり、

前記強誘電体膜を結晶化させる工程は、

20 Kr を主とする不活性ガスと酸素ガスとをマイクロ波により励起することによりプラズマを形成する工程と、

前記プラズマ励起に伴い形成された原子状酸素O\*に前記強誘電体膜を曝露する工程とよりなる強誘電体膜の形成方法。

半導体装置は、(1 1 1) 面近傍の結晶面を有する S i 結晶と、前記結晶面上に形成された絶縁膜とよりなり、前記絶縁膜の少なくとも一部は K r を含有する S i 酸化膜、あるいは A r または K r を含有する S i 窒化膜よりなる。

5